

CERTIFIED COPY OF
PRIORITY DOCUMENT

MODULARIO
LCA - 101

Mod. C.E. - 1-4-7



BEST AVAILABLE COPY

Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività

Ufficio Italiano Brevetti e Marchi

Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: Invenzione Indirizzi

N. MI 2002 A 002531.



Si dichiara che l'unità copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accusato processo verbale di deposito.

01 GIU. 2004

Roma

IL FUNZIONARIO

Giampietro Carlotto

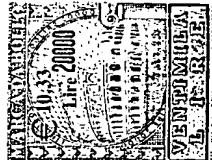
Giampietro Carlotto

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l.Residenza Agrate Brianza (Milano)

codice

SR

00951900968

2) Denominazione

Residenza

codice

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

BOTTI Mario e altri

cognome nome

cod. fiscale

MI

Botti & Ferrari S.r.l.

denominazione studio di appartenenza

via Locatelli

n.

5

città Milano

cap

20124

(prov.) MI

C. DOMICILIO ELETTIVO destinatario

via

n.

città

cap

(prov.)

D. TITOLO

classe proposta (sez/cl/sc)

gruppo/sottogruppo

Metodo di programmazione di celle di memoria non volatile multilivello e relativo circuito di programmazione.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI NO

SE ISTANZA: DATA

N° PROTOCOLLO

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) CONFALONIERI Emanuele3) DIMA Vincenzo2) GERACI Antonio4) DEL GATTO Nicola

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1)

1/1/1/1/1/1

SCIOLGIMENTO RISERVE	
Data	N° Protocollo
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1

2)

1/1/1/1/1/1

G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 13

riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)....

Doc. 2) 2 PROV n. tav. 03

disegno (obbligatorio se citato in descrizione, 1 esemplare).....

Doc. 3) 1 RIS

lettera d'incarico, presenza di testo pubblico generico

Doc. 4) 0 RIS

designazione inventore

Doc. 5) 0 RIS

documenti di priorità con traduzione in italiano

Doc. 6) 0 RIS

autorizzazione o atto di cessione

Doc. 7) 0

nominativo completo del richiedente

Si attesta di versamento, totale Euro

188/51 = EURO

SCIOLGIMENTO RISERVE

Data N° Protocollo

1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1
1/1/1/1/1/1	1/1/1/1/1/1

confronta singole priorità

COMPILATO IL 28.11.2002

FIRMA DEL(I) RICHIEDENTE(I)

BOTTI Mario

10.33 Euro

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANOMILANO

15.51

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 002531

Reg. A.

DUEMILADUE

VENTOTTO

NOVEMBRE

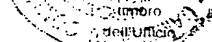
L'anno 2002, il giorno 28, det mese di NOVEMBRE

00

fogli aggiuntivi per la concessione del brevetto sopariportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE



L'UFFICIALE ROGANTE

M. CORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002531

REG. A

DATA DI DEPOSITO 28 11 2002

NUMERO BREVETTO

DATA DI RILASCIO

三/三/三

D. TITOLO

Metodo di programmazione di celle di memoria non volatile multilivello e relativo circuito di programmazione.

L. RIASSUNTO

L'invenzione riguarda la gestione delle verifiche di programmazione in un dispositivo multilivello. Durante la fase di verifica le celle non vengono verificate tutte assieme ma vengono opportunamente selezionate al fine di ridurre l'effetto della resistenza di source e dei consumi, senza peraltro penalizzare i tempi di modifica.



M. DISEGNO

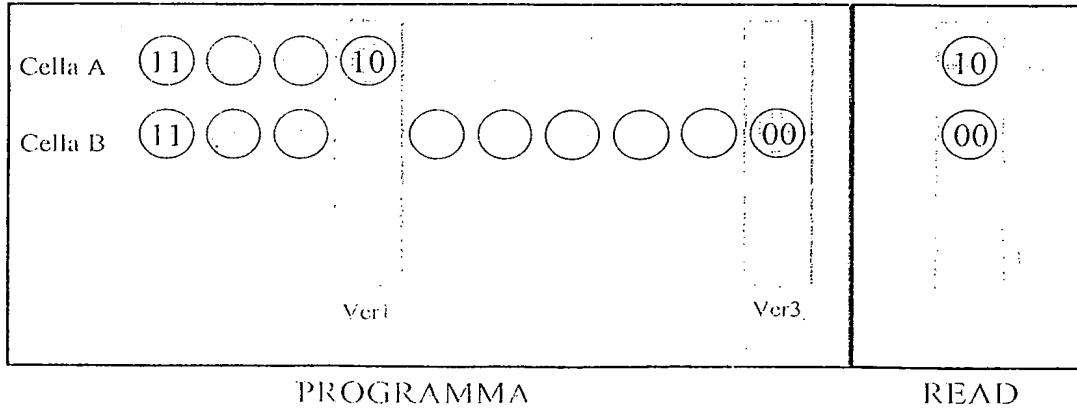


FIG. 2

Domanda di brevetto per invenzione industriale dal titolo:

"Metodo di programmazione di celle di memoria non volatile multilivello e relativo circuito di programmazione"

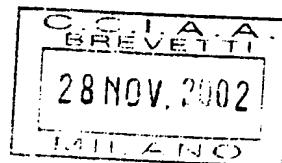
a nome di: **STMicroelectronics S.r.l.**

5 con sede in: **Agrate Brianza (Milano)**

* * * * *

DESCRIZIONE

Campo di applicazione



La presente invenzione fa riferimento ad un metodo di programmazione
10 di celle di memoria non volatile multilivello.

Più in particolare, l'invenzione riguarda un metodo di programmazione
di celle di memoria non volatile multilivello comprendente una prima
fase in cui predeterminate tensioni di polarizzazione sono applicate ai
terminali di gate, drain e source delle celle ed è prevista una successiva
15 fase di verifica dell'avvenuta programmazione mediante un algoritmo di
programmazione di tipo program-verify.

L'invenzione riguarda anche un dispositivo elettronico di memoria non
volatile multilivello integrato su semiconduttore e comprendente una
matrice di celle di memoria non volatile ciascuna dotata di almeno un
20 transistore a porta flottante con terminali di gate, drain e source,
nonché comprendente porzioni circitali di programmazione e di verifica
associate alla matrice di celle.

Arte nota

Com'è ben noto in questo specifico campo di applicazione, la pressante
25 richiesta da parte del mercato mondiale di semiconduttori di memorie

non volatile ad elevata densità, ad esempio del tipo Flash EEPROM, ha portato allo studio e all'applicazione di dispositivi di memoria cosiddetti multilivello in cui ogni singola cella di memoria è in grado di memorizzare più di un bit. Ogni bit è associato ad predeterminato livello logico e l'identificazione dei livelli è resa possibile dall'impiego di celle di memoria aventi plurime tensioni di soglia.

Ad un tecnico del ramo risulta del tutto evidente che all'aumentare del numero dei livelli di tensione di soglia aumentano anche i requisiti necessari al corretto svolgimento delle operazioni compiute sulle celle; vale a dire delle operazioni di cancellazione, programmazione e lettura.

Infatti, per ragioni di affidabilità, lo spazio a disposizione per allocare le 2^{n-1} distribuzioni (tutte eccetto quella più programmata) di una memoria non volatile multilivello avente n bit/cella è inferiore a 4.5-5V. Di conseguenza diminuiscono sia le ampiezze delle distribuzioni di soglia, sia i margini tra esse.

Dunque, nella fase di realizzazione di dispositivi di memoria multilivello, occorre tenere conto che una serie di fenomeni che sono invece assolutamente trascurabili nelle memorie convenzionali bilivello.

Per meglio comprendere gli aspetti della presente invenzione esaminiamo qui di seguito come avvengono le fasi di programmazione nelle memorie Flash multilivello.

L'operazione di scrittura di una cella Flash consiste nel variarne la tensione di soglia della quantità voluta, immagazzinando elettroni nella regione di floating gate.

Per programmare la cella ottenendo distribuzioni di tensione di soglia

che abbiano una precisione sufficiente alla realizzazione del multilivello, la tensione applicata sul terminale di control gate può essere variabile a scalinata a partire da un valore minimo fino a giungere a valore un massimo; l'ampiezza dello scalino di tensione, nelle condizioni ottimali

5 del terminale di drain, è pari al salto di soglia che si vuole ottenere.

L'utilizzo di una tensione di gate a scalini pone un problema di tempistica per portare efficacemente a termine la fase programmazione; per minimizzare la durata dei tempi di programmazione è conveniente programmare un numero elevato di celle in parallelo.

10 Nella programmazione multilivello in parallelo, l'algoritmo di programmazione più utilizzato è denominato "program & verify" e consiste in una successione di impulsi di programmazione e verifiche nel corso della cui esecuzione ~~cogn~~ ~~ogni~~ impulso di programmazione è seguito da una fase di lettura delle celle in corso di programmazione,

15 per controllare se esse sono giunte al valore di soglia oppure no.

Ad ogni impulso viene incrementato il valore della tensione di gate, mantenendo costante la tensione di drain. Tra un impulso ed il successivo le celle vengono verificate e nel caso abbiano raggiunto lo stato desiderato, vengono eliminate dall'insieme delle celle da

20 programmare.

Per aumentare il throughput di programmazione vengono programmate più parole in parallelo. La programmazione di più parole richiede delle correnti maggiori e questo implica la progettazione di pompe di carica con delle capacita` di corrente superiori.

25 Inoltre la programmazione di più parole in parallelo significa anche la

verifica parallela di queste. La tendenza nelle memorie multilivello è quello di effettuare delle verifiche il più possibile simili alle letture, a meno della posizione dei riferimenti. Una differenza intrinseca alla verifica, rispetto alla lettura è legata allo stato delle celle delle parole.

5 Durante la programmazione lo stato delle celle e` in evoluzione e quindi ogni verifica avrà delle diverse condizioni al contorno. Durante una lettura lo stato delle celle è fisso.

Una importante condizioni al contorno è legata alla polarizzazione del terminale dr source.

10 La polarizzazione del source delle celle avviene inevitabilmente attraverso un percorso resistivo. La tensione reale del source è quindi dipendente dalla corrente che scorre nella linea di polarizzazione dello stesso, questa corrente dipende dallo stato complessivo delle celle delle parole che si stanno verificando.

15 Vediamo brevemente qual è l'effetto di questa resistenza di source. Consideriamo per semplicità la programmazione di due sole celle, prima dallo stato "11" allo stato "10", la seconda dallo stato "11" allo stato "00", facendo riferimento all'esempio schematico di figura 1.

La programmazione inizia con una successione di impulsi di programmazione e verifica. Durante le verifiche entrambe le celle portano corrente. Ad un certo punto la prima cella raggiunge lo stato "10", viene sganciata e la programmazione continua fino a portare la seconda cella nello stato "00".

Se a questo punto viene eseguita una riverifica delle due celle; la situazione appare cambiata. Infatti, all'inizio dell'algoritmo il source



della prima cella era ad un potenziale più alto rispetto a quello che ha raggiunto quando la seconda cella è pervenuta allo stato "00".

Pertanto, la cella "10" risulta più conduttriva, in pratica è come se si fosse spostata verso la distribuzione "11".

5 Per porre rimedio al fenomeno qui descritto è stata recentemente proposta una soluzione tecnica che consiste nel modificare l'algoritmo di programmazione con una modalità detta a "Rampa Ripetuta". In sostanza si tratta di riverificare lo stato delle celle a fine programmazione ed eventualmente riprogrammare le sole celle che si
10 sono spostate verso uno stato di cancellazione.

Questa soluzione comporta però un allungamento dei tempi a causa delle modifiche successive alla verifica.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un metodo di programmazione di celle di memoria non
15 volatile multilivello, il quale metodo abbia caratteristiche funzionali tali da consentire di ridurre drasticamente l'impatto della resistenza di source durante le fasi di verifica dell'algoritmo di program-verify.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è particolarmente semplice e prevede di non verificare, o di saltare la fase
20 di verifica, per alcune celle che debbono raggiungere un predeterminato stato logico. In questo modo le celle non vengono verificate tutte assieme ma vengono opportunamente selezionate al fine di ridurre l'effetto della resistenza di source e dei consumi.

25 Sulla base di questa idea di soluzione il problema tecnico è risolto da un

metodo del tipo indicato e definito dalla rivendicazione 1 qui allegata.

Il problema tecnico è risolto anche da un circuito di programmazione definito dalla rivendicazione 6 e seguenti.

Le caratteristiche ed i vantaggi del metodo e del circuito secondo

5 l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un loro esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

- la figura 1 mostra una vista schematica di un metodo di
10 programmazione di tipo noto per una cella di memoria multilivello a due
bit per cella;

- la figura 2 mostra una vista schematica di un metodo di
programmazione secondo l'invenzione per una cella di memoria
multilivello a due bit per cella;

15 - la figura 3 mostra una vista schematica di una porzione circuitale di
un dispositivo elettronico di memoria destinato ad attuare il metodo
secondo l'invenzione;

- figura 4 mostra una vista schematica di un'ulteriore porzione
circuitale del dispositivo elettronico secondo l'invenzione.

20 Descrizione dettagliata

Con riferimento a tali figure, e in particolare agli esempi delle figure 2, 3
e 4, con 1 è globalmente e schematicamente indicata una porzione
circuitale di verifica realizzata secondo la presente invenzione per un
dispositivo elettronico di memoria al fine di attuare il metodo secondo

l'invenzione e programmare adeguatamente celle 3 di memoria non volatili multilivello.

Per dispositivo di memoria si intende un qualunque sistema elettronico monolitico incorporante una matrice di celle di memoria, organizzate in righe e colonne, e porzioni circuitali associate alla matrice di celle e preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria.

Un dispositivo di questo genere può essere ad esempio un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non

10 volatile suddivisa in settori e cancellabile elettricamente.

Ciascuna cella di memoria comprende un transistore a floating gate con terminali di source S, drain D e control gate G.

In figura 4 è mostrata schematicamente come esempio una cella 3 inserita su una word line WL e su una relative bit line con associato 15 amplificatore 4 di lettura.

Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza dei circuiti di programmazione program load e program verify, citati in precedenza, ciascuno dei quali è alimentato da una specifica tensione di alimentazione generata internamente al circuito integrato di 20 memoria e regolata tramite un regolatore di tensione di drain.

In accordo con la presente invenzione è stato previsto di modificare la struttura della porzione circuitale preposta alla fase di verifica.

Facendo particolare riferimento agli esempi delle figure 3 e 4, si può apprezzare come nella figura 3 sia illustrata schematicamente una rete 25 logica 5 comprendente una pluralità di porte AND e NOR collegate in

parallelo e in cascata tra loro.

La rete 5 riceve su un ingresso di una porta logica AND 6 un segnale Verifica_00, mentre sull'altro ingresso della stessa porta logica è applicata l'uscita di una porta logica NOR 7 ricevente in ingresso i 5 segnali logici corrispondenti allo stato logico di una coppia di bit da verificare.

L'uscita della porta logica 6 è applicata all'ingresso di una successiva porta logica NOR 8 ricevente su un altro ingresso l'uscita di una porta logica AND ~~ricevente~~ in ingresso tutti i segnali applicati alle porte 6 e 7.

10 L'uscita della porta 8 è applicata ad un ingresso di una successiva porta AND 9 ricevente sul proprio altro ingresso un segnale di abilitazione Casc_Ena. Il segnale Casc_Ena_Cond uscente da questa porta logica 9 è applicato alla bit line delle celle ~~di memoria~~ per le quali viene previsto il salto della fase di verifica, in accordo con la presente invenzione.

15 Le celle che non sono sottoposte alla verifica sono quelle destinate a raggiungere lo stato logico "00", vale a dire lo stato di piena programmazione.

Durante la programmazione delle celle negli stati "10" e "01", le celle ~~che~~ dovranno essere portate in "00" non vengono verificate. Gli impulsi di 20 programmazione vengono applicati in parallelo a tutte le celle che non hanno ancora raggiunto la soglia desiderata. Una volta che il posizionamento delle celle in "10" e "01" è avvenuto, le successive verifiche coinvolgono le sole celle che dovrebbero essere diventate "00".

In buona sostanza, l'invenzione riguarda la gestione delle verifiche di 25 programmazione in un dispositivo multilivello. Durante la fase di



verifica le celle non vengono verificate tutte assieme ma vengono opportunamente selezionate al fine di ridurre l'effetto della resistenza di source e dei consumi, senza peraltro penalizzare i tempi di modifica.

Pertanto, secondo la presente invenzione, durante la rampa di impulsi 5 di programmazione e verifica, che viene effettuata per la programmazione delle celle negli stati "10" e "01", le celle 3 che devono essere portate nello stato "00" non vengono verificate.

In questo modo il loro contributo alla corrente di source è nullo, così come sarà nullo il loro contributo durante una lettura futura.

10 Una volta che il posizionamento delle celle negli stati "10" e "01" è avvenuto, le successive verifiche coinvolgono le sole celle che dovrebbero aver raggiunto lo stato "00".

Ad esempio, come ben illustrato in figura 2, quando la cella A passa la verifica (Ver 1) il sistema è in uno stato molto simile a quello che si 15 presenterà in una successiva lettura. In virtù del fatto che nello stato "00" la cella non tira corrente.

La disabilitazione della fase di verifica di una data cella avviene semplicemente mantenendo a massa la sua bit-line secondo le schema combinato illustrato nelle figure 3 e 4.

20 Il saltare o non considerare le celle delle distribuzioni logiche "11" "10" e "01", quando si verificano invece le celle della distribuzione "00", comporta un posizionamento delle stesse celle più marginato.

In altre parole, sempre per l'effetto della resistenza di source, lo stato finale di tali celle risulterà più programmato di quanto visto dalla 25 verifica.

Il metodo proposto è molto semplice e permette quindi di ridurre l'effetto della resistenza di source sul rialzo delle distribuzioni. Un ulteriore vantaggio del metodo proposto risiede nella riduzione dei consumi, in particolare quelli legati alla carica delle bitline.

- 5 La soluzione precedentemente illustrata, agendo in maniera da effettuare selettivamente la fase di verifica, consente di ridurre drasticamente l'effetto della resistenza di source sulla distribuzione di valori logici riducendo i consumi del dispositivo di memoria in fase di programmazione.

RIVENDICAZIONI

1. Metodo di programmazione di celle (3) di memoria non volatili multilivello per comprendente una prima fase in cui predeterminate tensioni di polarizzazione sono applicate ai terminali di gate (G), drain (D) e source (S) delle celle ed è prevista una successiva fase di verifica dell'avvenuta programmazione mediante un algoritmo di programmazione di tipo program-verify, caratterizzato dal fatto che la fase di verifica viene saltata per alcune celle che debbono raggiungere un predeterminato stato logico.
- 10 2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto predeterminato stato logico è lo stato "00".
3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che la verifica di dette alcune celle viene effettuata solo successivamente al raggiungimento dello stato programmato da parte delle rimanenti celle.
- 15 4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che il salto della fase di verifica per dette alcune celle viene effettuato collegando ad un riferimento di potenziale di massa la bit-line a cui tali celle sono collegate.
- 20 5. Metodo secondo la rivendicazione 4, caratterizzato dal fatto di prevedere l'impiego di una rete logica di disabilitazione associata alle porzioni circuitali di verifica del dispositivo di memoria.
6. Dispositivo elettronico (2) di memoria non volatile multilivello integrato su semiconduttore e comprendente una matrice di celle (3) di memoria non volatile ciascuna dotata di almeno un transistore a porta flottante con terminali di gate (G), drain (D) e source (S), nonché

comprendente porzioni circuitali di programmazione e di verifica associate alla matrice di celle, caratterizzato dal fatto che la porzione circuitale di verifica comprende una rete logica per disabilitare la fase di lettura solo di alcune celle destinate a raggiungere un predeterminato
5 stato logico.

7. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che che detto predeterminato stato logico è lo stato "00".
8. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che la verifica di dette alcune celle viene abilitata solo successivamente al
10 raggiungimento dello stato programmato da parte delle rimanenti celle.
9. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che la disabilitazione della verifica per dette alcune celle viene effettuato collegando ad un riferimento di potenziale di massa la bit-line a cui tali celle sono colligate.

Ing. Mario BOTTI
N. Iscriz. ALBO 493 B

Mario Botti

OT



1/3

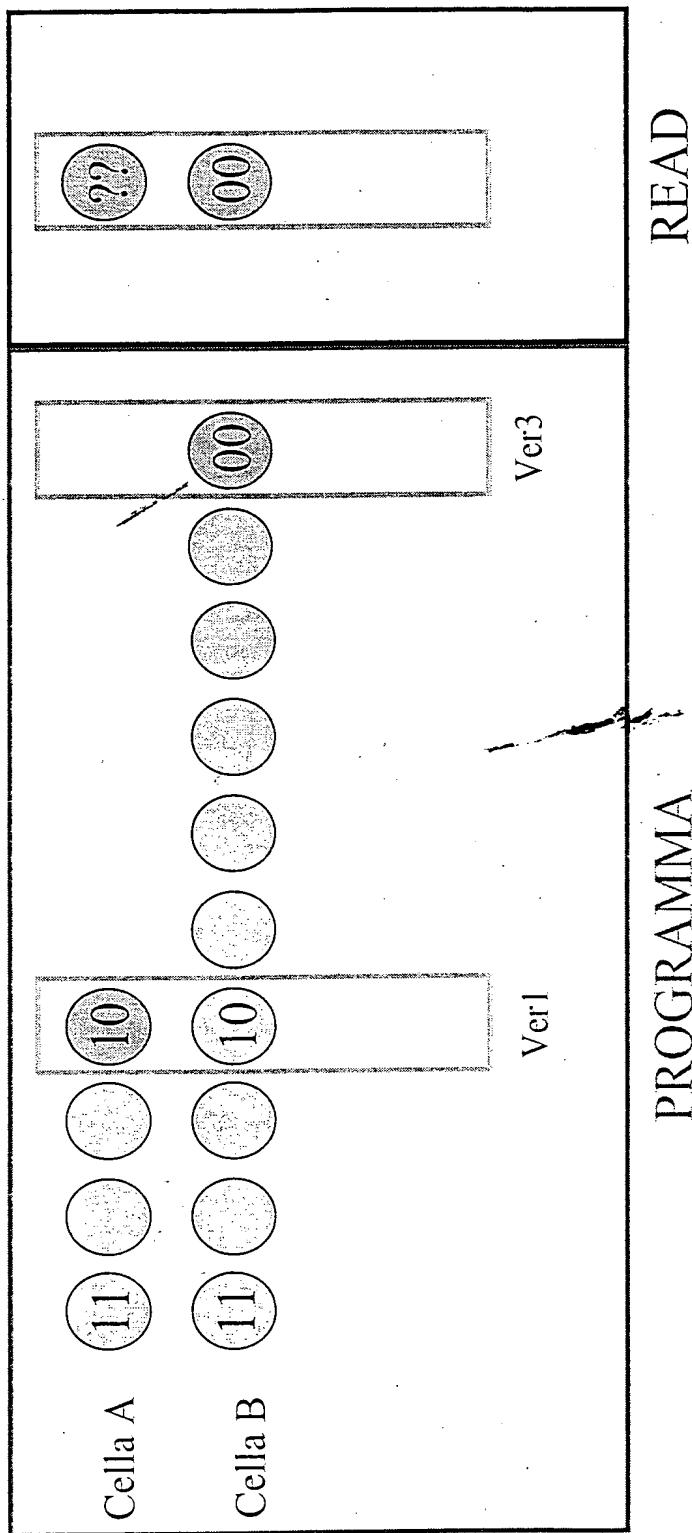
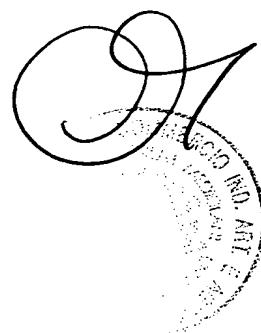


FIG. 1 - ARTE NOTA

M 2002 A 0 0 2 5 3 1



Ing. Mario BOTTI
N. Icaro, ALBO 493 BM

[Handwritten signature of Mario Botti]

2/3

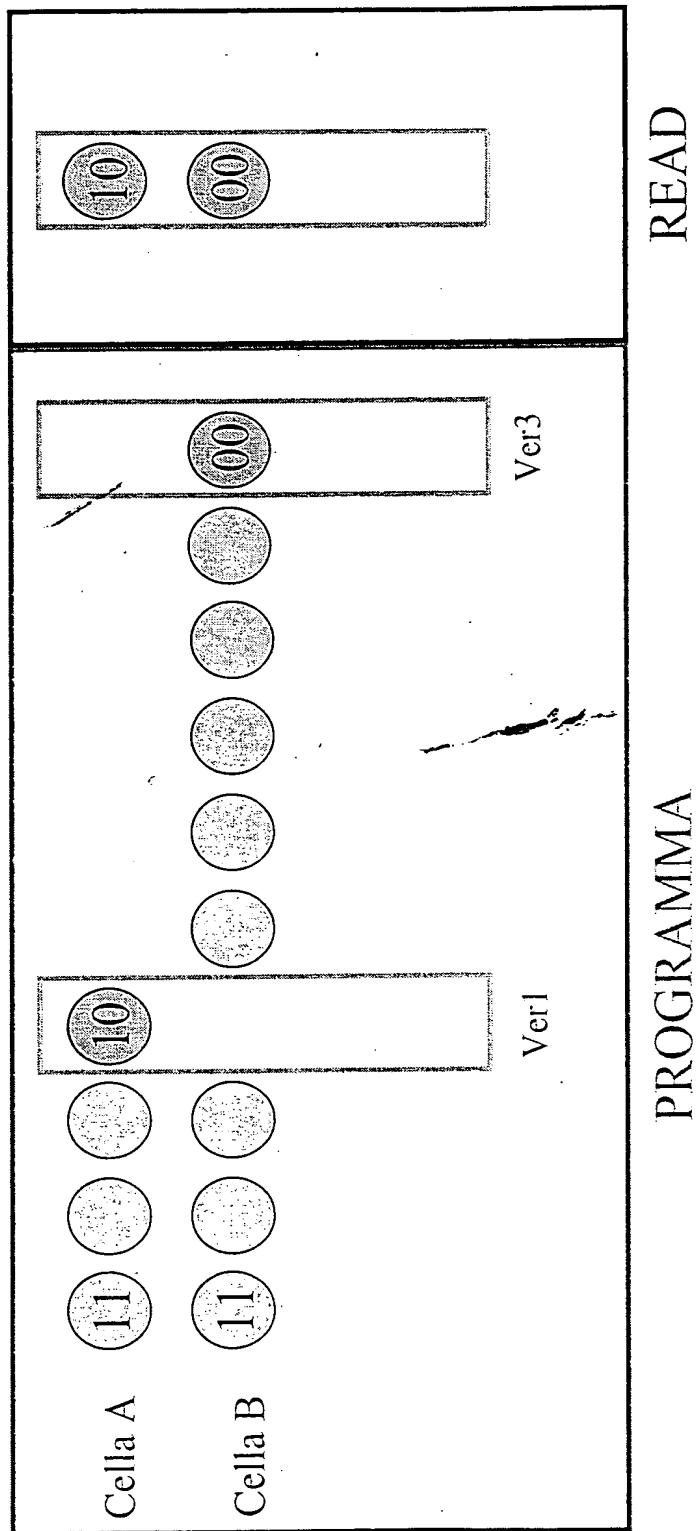
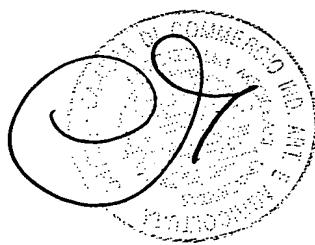


FIG. 2

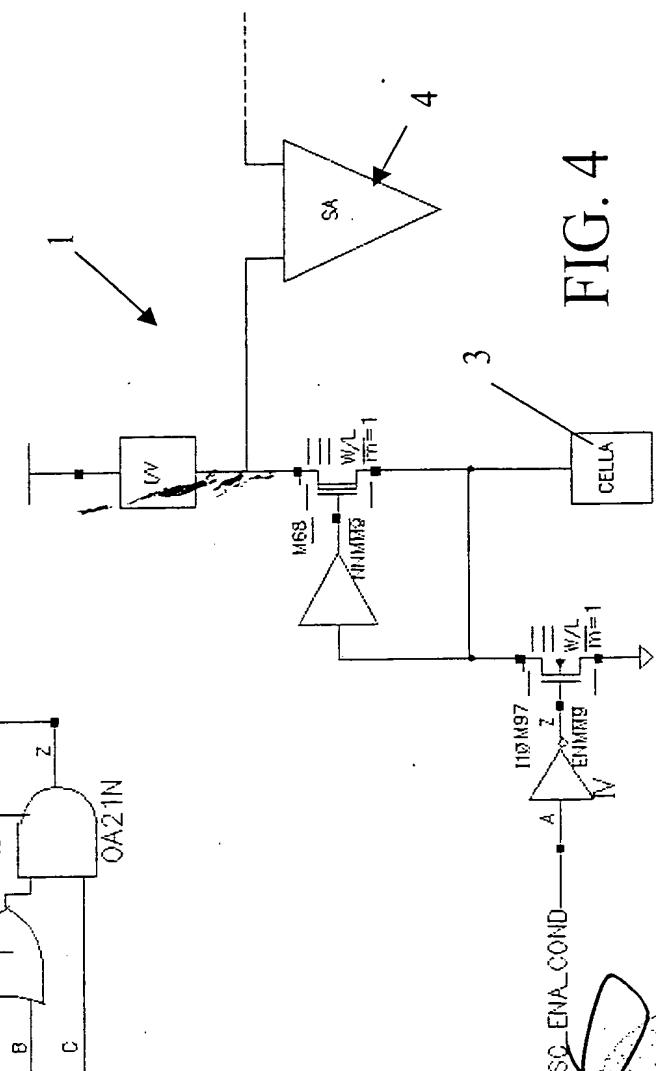
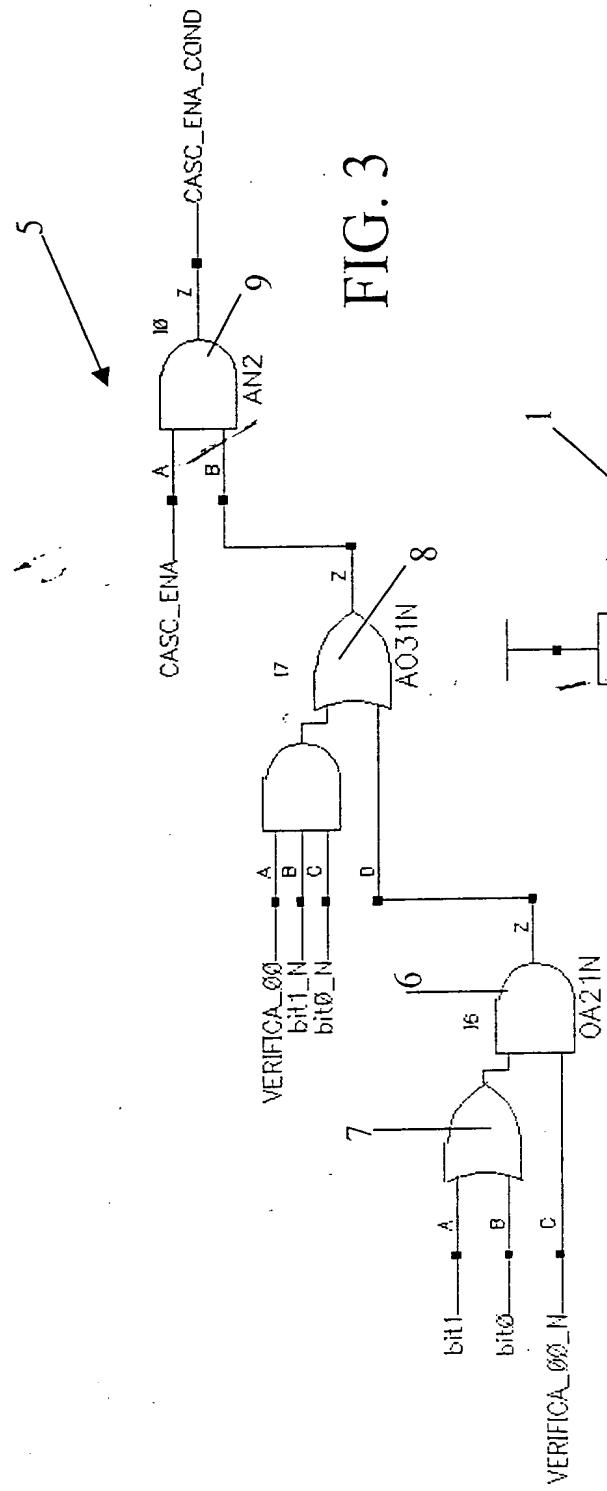
MI 2002A 002531



Ing. Mario BOTTE
N. Morliz. ALBO 463 PM

[Handwritten signature over the stamp]

3/3



MI 2002 A 0 0 2 5 3 1

Ing. Mario BOTTI
N. Istruz. ALBO 493 BM
Farewell

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.